

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033404

(43)Date of publication of application : 31.01.2002

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 2000-214397

(71)Applicant : SHARP CORP

(22)Date of filing : 14.07.2000

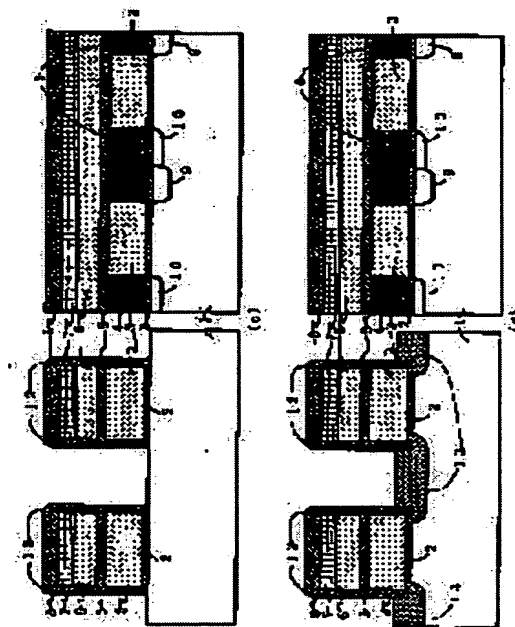
(72)Inventor : YOSHIMI MASANORI  
SHIGEMATSU MASAKI  
WADA MASAHAISA

## (54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a nonvolatile semiconductor storage device which has a high gate coupling ratio needed for writing/erasing using an FN current without causing characteristic defects due to short-channel effect.

**SOLUTION:** After a control gate of a memory cell is formed, a side wall spacer of a silicon nitride film is formed on the side wall of the control gate and then thermally oxidized to prevent a floating gate upper part which is in contact with an insulating film between the control gate and floating gate from being oxidized; and the silicon substrate below the floating gate which is in contact with a tunnel gate oxide area is oxidized to provide the nonvolatile semiconductor storage device.



## LEGAL STATUS

[Date of request for examination]

09.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J.P.)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2002-33404

(P2002-33404A)

(43)公開日 平成14年1月31日(2002.1.31)

(51)Int.Cl.	識別記号	F I	シマート*(参考)
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1 5 F 0 0 1
	29/788	27/10	4 3 4 5 F 0 8 3
	29/792		5 F 1 0 1
	27/115		

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願2000-214397(P2000-214397)

(22)出願日 平成12年7月14日(2000.7.14)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 吉見 正徳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 重松 正春

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100065248

弁理士 野河 信太郎

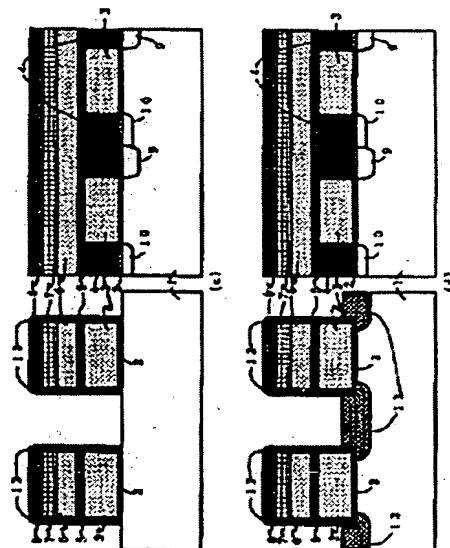
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57)【要約】

【課題】 ショートチャネル効果による特性不良を引き起こすことなく、F N電流による書き込み消去動作に必要な高いゲートカップリング比をもつ不揮発性半導体記憶装置を提供することを課題とする。

【解決手段】 メモリーセルのコントロールゲートを形成した後、コントロールゲートの側壁にシリコン窒化膜のサイドウォールスペーサーを形成した後、熱酸化することでコントロールゲートとフローティングゲート間の絶縁膜に接するフローティングゲート上部が酸化されるのを防ぎ、トンネルゲート酸化領域に接するフローティングゲートの下部のシリコン基板を酸化することにより上記課題を解決する。



#### 【特許請求の範囲】

【請求項 1】 シリコン基板上に、互いに平行に配置されたビット線と、該ビット線の間に該ビット線の長さ方向に隣接する複数個のメモリーセルが配置された不揮発性半導体記憶装置において、メモリーセルが、シリコン基板側からトンネルゲート酸化膜、フローティングゲート、絶縁膜及びコントロールゲートからなるゲート電極を少なくとも有し、チャネル幅方向において、フローティングゲートとトンネルゲート酸化膜とが接する幅が、フローティングゲートと絶縁膜とが接する幅より小さいことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 チャネル幅方向において、フローティングゲートの上部と下部の幅がほぼ同一であり、フローティングゲートとトンネルゲート酸化膜とが接する幅が、フローティングゲートと絶縁膜とが接する幅の 0.95 倍以下である請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 請求項 1 又は 2 に記載の不揮発性半導体記憶装置の製造方法であって、シリコン基板上に、互いに平行に配置されたビット線と、該ビット線の間にシリコン基板側からトンネルゲート酸化膜、フローティングゲート、絶縁膜及びコントロールゲートからなるゲート電極を有し、該ビット線の長さ方向に隣接するように複数個配置されたメモリーセルとを形成した後、コントロールゲートの側壁部にシリコン窒化膜からなるサイドウォールスペーサーを形成し、次いで熱酸化することで、コントロールゲートとフローティングゲート間の絶縁膜に接するフローティングゲートの上部を酸化せず、トンネルゲート酸化膜に接するフローティングゲートの下部のシリコン基板を酸化することで、チャネル幅方向において、フローティングゲートとトンネルゲート酸化膜とが接する幅を、フローティングゲートと絶縁膜とが接する幅より小さくすることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 4】 サイドウォールスペーサーを形成した後、熱酸化する前に、コントロールゲート上に予め形成した酸化膜及びサイドウォールスペーサーをマスクとして、エッチングすることでシリコン基板にトレンチを形成することを特徴とする請求項 3 に記載の不揮発性半導体記憶装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、不揮発性半導体記憶装置及びその製造方法に関し、さらに詳しくは、互いに平行に配置されたビット線を有し、該ビット線の間にビット線の長さ方向に隣り合うように複数個のメモリーセルが配置された不揮発性半導体記憶装置及びその製造方法に関し、ゲートカップリング比を確保した上で、スケリングが容易な不揮発性半導体記憶装置及びその製造方法に係るものである。

##### 【0002】

【従来の技術】 従来技術による不揮発性半導体記憶装置の平面図を図 12 に、また図 12 の X-X'（ビット線に平行）方向及び Y-Y'（ビット線に垂直）方向の断面を図 10 の左図及び右図に示す。

【0003】 以下に、上記不揮発性半導体記憶装置の製造工程を順に説明する。

【0004】 シリコン基板 1 に、トンネルゲート酸化膜 2 として 8～10 nm 程度の膜を例えば熱酸化法により形成し、続いて、例えば CVD 法によりフローティングゲート形成用膜として 50～150 nm 程度のポリシリコン膜を堆積する。

【0005】 次に、シリコン窒化膜を 10～30 nm 程度堆積する。

【0006】 次に、フォトリソグラフィ技術によりレジストマスクを形成し、ドライエッチ技術を用いてポリシリコン膜をパターンニングし、フローティングゲート下層膜 16 を形成する。

【0007】 次に、上記レジストマスク、シリコン窒化膜、フローティングゲート下層膜をマスクに斜め方向より酸素をイオン注入して N+ 拡散層 10 を形成し、その酸素イオン注入部の一部分を覆うレジストマスクをフォトリソグラフィ技術により形成し、さらに高速度の酸素をイオン注入してビット線となる N+ 拡散層 9 を形成する。

【0008】 次に、フローティングゲート下層膜 16 上のシリコン窒化膜をマスクに熱酸化を行い、フローティングゲート下層膜側壁部に 10～40 nm の酸化膜を形成した後、例えば CVD 法により酸化膜を更に堆積し、CMP 法により酸化膜を研磨することで、フローティングゲート下層膜間を酸化膜 4a で埋め込む。

【0009】 続いて、シリコン窒化膜をリン酸により除去した後、露出したフローティングゲート下層膜 16 上に CVD 法により 50 nm 程度のポリシリコン膜を堆積し、リンをイオン注入する。

【0010】 次に、フォトリソグラフィ技術及びエッチング技術を用いて、ポリシリコン膜をパターンニングし、高いゲートカップリング比を確保するためのフローティングゲート上層膜 17 を形成する。

【0011】 その後、CVD 法により酸化膜を堆積した後、CMP 法により酸化膜を研磨することで、フローティングゲート上層膜 17 間を酸化膜 4b で埋め込む。

【0012】 次に、このフローティングゲート上層膜 17 の上に、熱酸化法等による SiO<sub>2</sub> 膜を、続いて減圧 CVD 法等によるシリコン窒化膜を、さらに減圧 CVD 法等による SiO<sub>2</sub> 膜を順次形成することで、絶縁膜である ONO 膜 5 を形成する。

【0013】 次に、この ONO 膜上に減圧 CVD 法により 150 nm 程度のポリシリコン膜を堆積する。次に、このポリシリコン膜にリンをイオン注入した後、括

抗を下げるために、例えばタングステンシリサイド膜7をデポする。

【0014】次に、フォトリソグラフィ技術により、先のフローティングゲートパターン上層膜と下層膜に直交する方向の所定のパターンのレジストマスクを形成し、このレジストマスクを用いて、例えば反応性イオンエッチング等によりタングステンシリサイド膜7、コントロールゲート6、ONO膜5、フローティングゲート下層膜16及び上層膜17をエッチングすることで、図10に示されるようなメモリーセルが形成される。

【0015】係る不揮発性半導体記憶装置において、F<sub>N</sub>電流による書き込み消去動作を行うには、高いゲートカップリング比を確保する必要がある。ゲートカップリング比(GCR)は、以下の式で表される。

【0016】 $GCR = C1 / (C1 + C2)$

ここでC1はフローティングゲート-コントロールゲート間の容量、C2はフローティングゲート-基板、及びフローティングゲート-ビット線間の容量の和である。

【0017】従来の不揮発性半導体記憶装置において、フローティングゲートを2層のポリシリコン膜で形成して、ゲートカップリング比を高めているが、2層のポリシリコン膜をフォトリソグラフィ工程により形成するので、メモリーセルのビット線幅は、フローティングゲート上層膜17を形成する際のフォトリソグラフィ技術での最小加工寸法+フローティングゲート下層膜16とのアライメント余裕以上とする必要がある。メモリーセルの微細化を進め、ビット線幅を加工限界寸法とした時、大きなC1を確保するのが困難となる。また、フローティングゲート-コントロールゲート間の絶縁膜には、通常、ONO膜(シリコン酸化膜SiO<sub>2</sub>/シリコン窒化膜/シリコン酸化膜SiO<sub>2</sub>の3層)が用いられ、絶縁耐圧、データの保持特性から、トンネルゲート酸化膜に比べ、厚い膜厚が必要であり薄膜化によりC1を大きくすることも難しい。

【0018】この問題点を解決するため、例えば特開平6-207293号公報に示されているように、フローティングゲートを不純物濃度の低いポリシリコン膜(フローティングゲート上層膜)19と不純物濃度の高いポリシリコン膜(フローティングゲート下層膜)18の2層のポリシリコン構造として、コントロールゲートとフローティングゲート間の絶縁膜に接するフローティングゲート上層膜19に比べ、トンネルゲート酸化領域に接する不純物濃度の高いポリシリコンからなるフローティングゲート下層膜18を厚く酸化し(高濃度ポリシリコン膜による増速酸化のため)、メモリーセルのチャネル長を短くすることでC2を小さくし、ゲートカップリング比を大きく設定している(図11参照)。図中、20はメモリーセルのソースドレイン領域、21は熱酸化膜をそれぞれ意味する。

【0019】

【発明が解決しようとする課題】しかしながら、上記した不揮発性半導体記憶装置では、フローティングゲートが2層のポリシリコン膜からなり、フローティングゲート下層膜の濃度を高める必要があるため、フローティングゲートを構成するポリシリコン膜のグレイスケール部にオキサイドリッジ領域が形成され、不純物(例えばリン)が偏析することで、トンネルゲート酸化膜のバリアハイトが低くなり、F<sub>N</sub>トンネル電流がばらつく。その結果、F<sub>N</sub>トンネル電流による書き込み消去特性がばらつくほか、データの保持特性が劣化するという問題がある。さらにフローティングゲート下層膜の酸化を行うとメモリーセルの実行チャネル長が短くなるので、セル縮小をしていく上で、ショートチャネル効果によりセル特性がばらつくという問題がある。

【0020】

【課題を解決するための手段】本発明は、上述の課題を解消するためになされたものであり、メモリーセルのコントロールゲートを形成した後、コントロールゲートの側壁部にシリコン窒化膜のサイドウォールスペーサーを形成し、次いで、熱酸化することで、コントロールゲートとフローティングゲート間の絶縁膜に接するフローティングゲート上部が酸化されるのを防いだ上で、トンネルゲート酸化膜に接するフローティングゲートの下部のシリコン基板を、メモリーセルのチャネル幅を小さくするように、厚く酸化することを特徴とするものである。

【0021】かくして本発明によれば、シリコン基板上に、互いに平行に配置されたビット線と、該ビット線の間に該ビット線の長さ方向に隣接する複数個のメモリーセルが配置された不揮発性半導体記憶装置において、メモリーセルが、シリコン基板側からトンネルゲート酸化膜、フローティングゲート、絶縁膜及びコントロールゲートからなるゲート電極を少なくとも有し、チャネル幅方向において、フローティングゲートとトンネルゲート酸化膜とが接する幅が、フローティングゲートと絶縁膜とが接する幅より小さいことを特徴とする不揮発性半導体記憶装置提供される。

【0022】更に、本発明によれば、上記不揮発性半導体記憶装置の製造方法であって、シリコン基板上に、互いに平行に配置されたビット線と、該ビット線の間にシリコン基板側からトンネルゲート酸化膜、フローティングゲート、絶縁膜及びコントロールゲートからなるゲート電極を有し、該ビット線の長さ方向に隣接するように複数個配置されたメモリーセルとを形成した後、コントロールゲートの側壁部にシリコン窒化膜からなるサイドウォールスペーサーを形成し、次いで熱酸化することで、コントロールゲートとフローティングゲート間の絶縁膜に接するフローティングゲートの上部を酸化せず、トンネルゲート酸化膜に接するフローティングゲートの下部のシリコン基板を酸化することで、チャネル幅方向において、フローティングゲートとトンネルゲート酸化

膜とが接する幅を、フローティングゲートと絶縁膜とが接する幅より小さくすることを特徴とする不揮発性半導体記憶装置の製造方法が提供される。

【0023】

【発明の実施の形態】実施の形態1

本発明による不揮発性半導体記憶装置の平面図を図9に示す。以下に本発明の不揮発性半導体記憶装置の製造方法について説明する。

【0024】図1(a)～図2(d)は、本発明の製造方法による第1の実施例を説明する工程断面図であり、左図は図9のX-X'（ビット線に平行）方向及び右図はY-Y'（ビット線に垂直）方向の断面を示す。以下に工程順に説明する。

【0025】まず、シリコン基板1に、トンネルゲート酸化膜2を8～10nm程度で、例えば熱酸化法により形成し、続いて、例えばCVD法によりフローティングゲート形成用膜として50～150nm程度のポリシリコン膜を堆積する。

【0026】次に、シリコン酸化膜を10～30nm程度を堆積する。

【0027】次に、フォトリソグラフィ技術及びドライエッチ技術を用いてこれら膜をパターンニングし、フローティングゲート3を形成する。

【0028】次に砒素をイオン注入してN<sup>+</sup>拡散層10を形成し、その砒素イオン注入部の一部分を覆うレジストマスクをフォトリソグラフィ技術により形成し、さらに高温度の砒素をイオン注入し、ビット線となるN<sup>+</sup>拡散層9を形成する。なお、砒素以外にもリンを使用してよい。

【0029】次に、フローティングゲート3上のシリコン酸化膜をマスクに熱酸化を行い、フローティングゲート側壁部に10～40nmの酸化膜を形成した後、例えばCVD法により更に酸化膜を堆積し、CMP法により酸化膜を研磨することで、フローティングゲート間を酸化膜4で埋め込む。

【0030】次にフローティングゲート上のシリコン酸化膜をリン酸により除去した後、次に、このフローティングゲート3の上に、熱酸化法等によるSiO<sub>2</sub>膜を、続いて減圧CVD法等によるシリコン酸化膜を、さらに減圧CVD法等によるSiO<sub>2</sub>膜を順次形成し、コントロールゲートとフローティングゲート間の絶縁膜であるONO膜5を形成する。さらに、このONO膜5上に減圧CVD法により150nm程度のポリシリコン膜を堆積する。

【0031】次に、このポリシリコン膜にリンをイオン注入した後、抵抗を下げるために、例えばタングステンシリサイド膜7をデポし、次いで、例えばCVD法によりSiO<sub>2</sub>膜8をデポする。

【0032】次に、フォトリソグラフィ技術により先のフローティングゲートパターンに直交する方向に所定の

パターンを有するレジストマスクを形成し、このレジストマスクを用いて、例えば反応性イオンエッチング等によりSiO<sub>2</sub>膜8、タングステンシリサイド膜7、コントロールゲート6、ONO膜5、フローティングゲート3を順次エッチングする（図1(e)）。

【0033】次に、例えば減圧CVD法等によるシリコン酸化膜11を10～20nm程度堆積し（図1(b)）、例えば反応性イオンエッチング等によりエッチバックし、コントロールゲート側面にサイドウォールスペーサー12を形成する（図2(c)）。

【0034】ここで形成したサイドウォールスペーサー12をマスクにコントロールゲート間に、熱酸化を施す。この時、コントロールゲート及びフローティングゲートの側面をサイドウォールスペーサー12により覆うことで、コントロールゲートとフローティングゲート間の絶縁膜に接するフローティングゲート上部が酸化されるのを防いだ上で、トンネルゲート酸化膜に接するフローティングゲートの下部のシリコン基板が、メモリーセルのチャネル幅を小さくするように、厚く酸化される（図2(d)）。

【0035】なお、この実施の形態において、フローティングゲートの上部と下部の幅はほぼ同一である。また、フローティングゲートとトンネルゲート酸化膜とが接する幅は、フローティングゲートと絶縁膜とが接する幅の0.95倍以下であることが好ましく、0.6～0.8倍であることがより好ましい。上記工程により不揮発性半導体記憶装置を製造することができる。

【0036】実施の形態2

次に、本発明の第2の実施例を説明する。図3(a)、図3(b)に示すように、前述の実施の形態1と同じ工程により、コントロールゲート側面にシリコン酸化膜のサイドウォールスペーサー12を形成する（図4(c)）。

【0037】次に、コントロールゲート上のSiO<sub>2</sub>膜8及び側面のサイドウォールスペーサー12をマスクに、コントロールゲート間のシリコン基板1を、例えば反応性イオンエッチング等により異方性エッチングして、シリコン基板にトレンチ14を形成する（図4(d)）。

【0038】次に、サイドウォールスペーサー12をマスクにコントロールゲート間に、熱酸化を施す。この時、コントロールゲート側面をサイドウォールスペーサー12により覆うことで、コントロールゲートとフローティングゲート間の絶縁膜に接するフローティングゲート上部が酸化されるのを防いだ上で、トンネルゲート酸化膜領域に接するフローティングゲートの下部のシリコン基板が、メモリーセルのチャネル幅を小さくするように、厚く酸化される（図5(e)）。上記工程により不揮発性半導体記憶装置を製造することができる。

【0039】実施の形態3

次に、本発明の第3の実施の形態を説明する。図6

(a)、図6(b)に示すように、前述の実施の形態1、2と同じ工程により、コントロールゲート側面にシリコン窒化膜のサイドウォールスペーサー12を形成する(図7(c))。

【0040】次に、コントロールゲート上のSiO<sub>2</sub>膜8及び側面のサイドウォールスペーサー12をマスクに、コントロールゲート間のシリコン基板1を、例えばケミカルドライエッチング等により等方性エッチングして、シリコン基板にトレンチ15を形成する(図7(d))。

【0041】次に、サイドウォールスペーサー12をマスクにコントロールゲート間に、熱酸化を施す。この時、コントロールゲート側面をサイドウォールスペーサー12により覆うことで、コントロールゲートとフローティングゲート間の絶縁膜に接するフローティングゲート上部が酸化されるのを防いだ上で、トンネルゲート酸化領域に接するフローティングゲートの下部のみを、すなわちメモリーセルのチャネル幅を小さくするように、厚く酸化される(図8(e))。

【0042】上記工程により不揮発性半導体記憶装置を製造することができる。

【0043】以上、フローティングゲート下部の寸法をチャネル幅方向に小さくする3つの実施例について述べたが、その効果は、実施の形態1<実施の形態2<実施の形態3の順であった。

【0044】なお、上記実施の形態は、単なる例示であって、不揮発性半導体記憶装置を構成する各要素及びそれを形成するための方法は、当該分野で公知の要素及び方法をいずれも使用することができる。また、各要素の厚さ等の構造も、所望の不揮発性半導体記憶装置の特性に応じて適宜決定することができる。

【0045】

【発明の効果】本発明によれば、メモリーセルの縮小を進め、ビット線幅を加工寸法限界まで縮小しても、ショートチャネル効果による特性不良を引き起こすこともなく、FNトンネル電流による書き込み消去動作に必要な高いゲートカップリング比を持つ高信頼性の不揮発性半導体記憶装置が得られる。

【図2】本発明の不揮発性半導体装置の製造方法の一実施の形態を示す概略断面図である。

【図3】本発明の不揮発性半導体装置の製造方法の一実施の形態を示す概略断面図である。

【図4】本発明の不揮発性半導体装置の製造方法の一実施の形態を示す概略断面図である。

【図5】本発明の不揮発性半導体装置の製造方法の一実施の形態を示す概略断面図である。

【図6】本発明の不揮発性半導体装置の製造方法の一実施の形態を示す概略断面図である。

【図7】本発明の不揮発性半導体装置の製造方法の一実施の形態を示す概略断面図である。

【図8】本発明の不揮発性半導体装置の製造方法の一実施の形態を示す概略断面図である。

【図9】本発明の不揮発性半導体装置の概略平面図である。

【図10】従来の不揮発性半導体装置の概略断面図である。

【図11】従来の不揮発性半導体装置の概略断面図である。

【図12】従来の不揮発性半導体装置の概略平面図である。

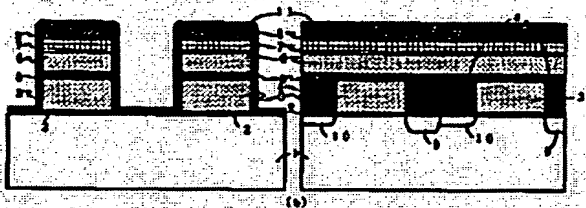
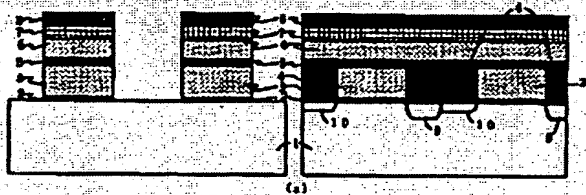
【符号の説明】

- 1 シリコン基板
- 2 トンネルゲート酸化膜
- 3 フローティングゲート
- 4、4a、4b 酸化膜
- 5 ONO膜
- 6 コントロールゲート
- 7 タングステンシリサイド膜
- 8 SiO<sub>2</sub>膜
- 9 N+拡散層
- 10 N-拡散層
- 11 シリコン窒化膜
- 12 サイドウォールスペーサー
- 13、21 熱酸化膜
- 14、15 トレンチ
- 16、18 フローティングゲート下層膜
- 17、19 フローティングゲート上層膜
- 20 メモリーセルのソースドレイン領域
- 21 熱酸化膜

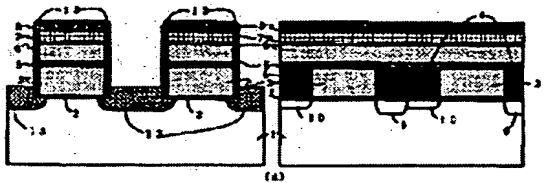
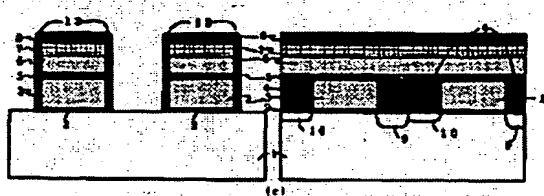
【図面の簡単な説明】

【図1】本発明の不揮発性半導体装置の製造方法の一実施の形態を示す概略断面図である。

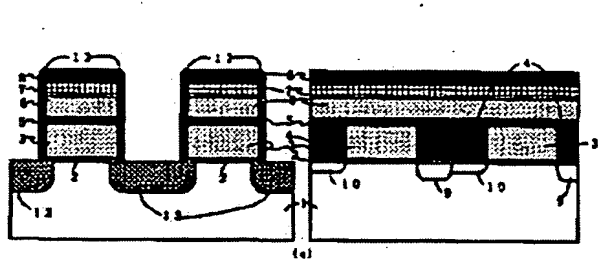
【图 1】



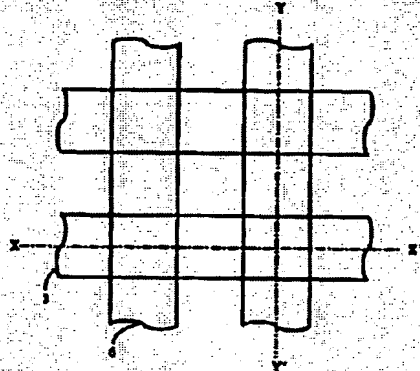
【图 2】



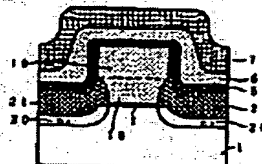
【图 5】



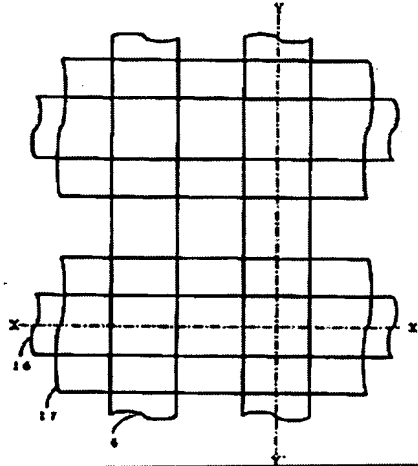
【图 9】



【图 11】

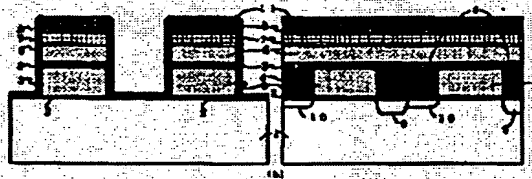
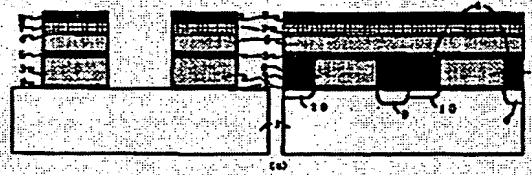


【图 12】

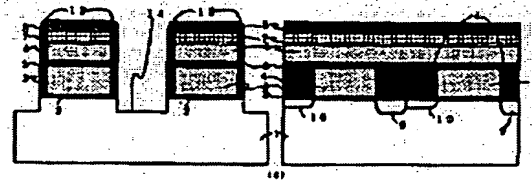
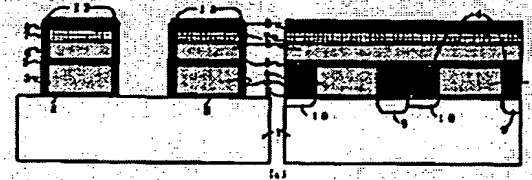




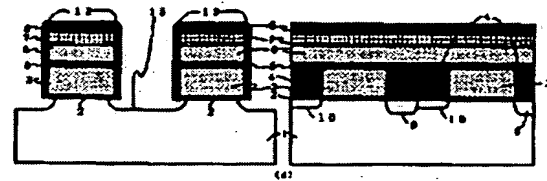
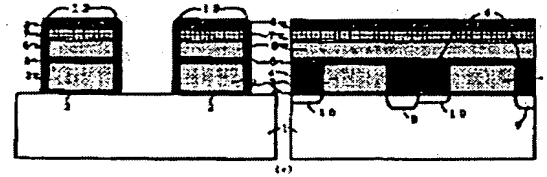
[图 3]



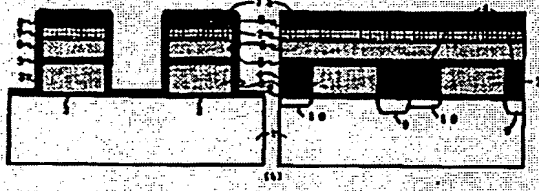
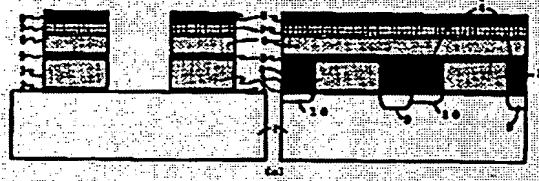
[图 4]



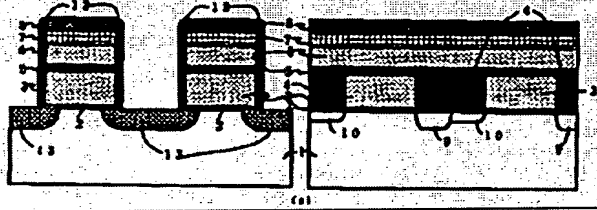
[图 7]



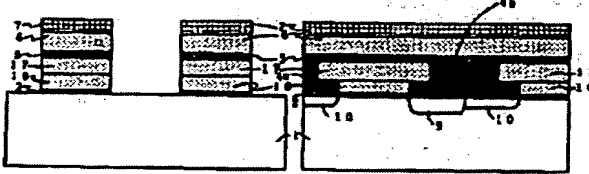
【図5】



【図8】



【図10】



フロントページの続き

(72)発明者 和田 昌久  
大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

Ｆターム（参考） SF001 AA23 AA25 AA43 AA63 AB08

AD15 AD16 AD19 AD20 AD62

AG02 AG07 AG28

SF083 EP02 EP23 EP41 EP55 EP63

EP68 JA04 JA35 JA39 JA53

KA08 KA13 NA02 PR03 PR12

PR29

SF101 BA05 BA07 BA36 BB05 BD05

BD06 BD10 BD12 BD37 BH03

BH13 BH19